

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-127679

(43)Date of publication of application : 31.05.1988

(51)Int.Cl.

H04N 5/335

(21)Application number : 61-272979

(71)Applicant : CANON INC

(22)Date of filing : 18.11.1986

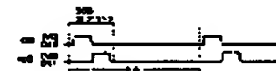
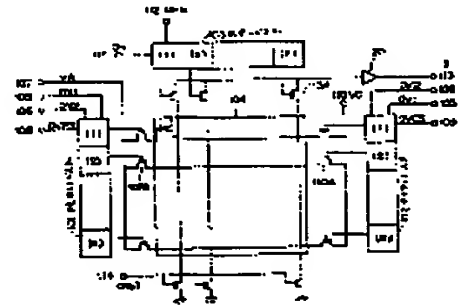
(72)Inventor : HONMA HIDEO

## (54) SOLID-STATE IMAGE PICKUP DEVICE

### (57)Abstract:

**PURPOSE:** To obtain an image pickup signal with excellent picture quality by providing a drive means to drive a readout line selection means and a clearance selection means by two drive signals with different phases.

**CONSTITUTION:** Each vertical line 104 is connected to an output terminal 113 via a switch transistor (TR) 113A and an amplifier 120 and each switch TR 113A is driven horizontally by a horizontal register 103 sequentially. Thus, a picture information signal stored in each picture element of a horizontal line through readout is outputted to the output terminal 113 sequentially via each vertical line. Thus, the two drive pulses  $\phi_1$ ;V1 and  $\phi_1$ ;V2 are generated during a blank period 303 at each 1H (horizontal scanning) and the phases are deviated to each other, an AND gate of a clear resistor 102 is turned on at first by the pulse  $\phi_1$ ;V2 and the an AND gate of the read register 101 is turned on by the pulse  $\phi_1$ ;V1.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報(A)

昭63-127679

⑬ Int. Cl.<sup>4</sup>

H 04 N 5/335

識別記号

庁内整理番号

Q-8420-5C

⑭ 公開 昭和63年(1988)5月31日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 固体撮像装置

⑯ 特 願 昭61-272979

⑰ 出 願 昭61(1986)11月18日

⑱ 発 明 者 本 間 英 雄 神奈川県川崎市高津区下野毛770番地 キヤノン株式会社  
玉川事業所内

⑲ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号

⑳ 代 理 人 弁理士 谷 義 一

## 明 細 書

## 1. 発明の名称

## 固体撮像装置

## 2. 特許請求の範囲

マトリクス状に配置した光電変換素子および該光電変換素子から信号を取り出すための水平および垂直ラインを有する光電変換部と、

該光電変換部における信号読みだしのための水平ラインを選択する読み出しライン選択手段と、

前記光電変換部におけるクリアのための水平ラインを選択するクリアライン選択手段と、

前記読み出しライン選択手段および前記クリアライン選択手段を互いに異なった位相の2つの駆動信号で駆動するための駆動手段とを具えたことを特徴とする固体撮像装置。

## 3. 発明の詳細な説明

## [産業上の利用分野]

本発明は電氣的シャッタ機能を有する固体撮像装置に関するものである。

## [従来の技術]

従来、固体撮像装置において、電荷蓄積時間は、一定値、すなわち一般的に1フィールド期間 =  $1/60\text{sec}$ 、あるいは1フレーム期間 =  $1/30\text{sec}$ であった。これはそのレジスタ構成により読み出し、あるいはクリア画素へのアクセスタイミングがそのように固定されるためであり、また破壊読み出し方式では、それ以上の電荷蓄積時間すなわち露光時間は不可能であるからである。

## [発明が解決しようとする問題点]

そのため、電氣的シャッタ機能を有する固体撮像装置として、特開昭59-108459号公報に記載のものがあがるが、読み出しおよびクリアのタイミングが一致しており、読み出し不可能になるおそれがある。

本発明の目的は、固体撮像装置において、読み出し

し画素あるいはライン及びクリア画素あるいはラインを各々独立して選択することにより、水平走査時間の整数倍の蓄積時間設定を行う電氣的シャッター機能を有することにより撮影機能を拡大し、また1フィールド以内の蓄積時間ではスミア、ブルーミング抑圧、残像改善を可能とする。さらに、読出し及びクリア画素あるいはラインを選択するシフトレジスタを2相駆動とし、読出しおよびクリアタイミングを各々の相と同期させることにより両者のオーバーラップを防止する。

〔問題点を解決するための手段〕

本発明はマトリクス状に配置した光電変換素子および光電変換素子から信号を取り出すための水平および垂直ラインを有する光電変換部と、光電変換部における信号読みだしのための水平ラインを選択する読み出しライン選択手段と、光電変換部におけるクリアのための水平ラインを選択するクリアライン選択手段と、読み出しライン選択手段およびクリアライン選択手段を互いに異なった位相の2つの駆動信号で駆動するための駆動手段

用トランジスタ107 Aを介して各水平ラインに加えられる。各トランジスタ107 Aのゲートは、読み出しレジスタ101の各出力端子に接続され、該レジスタ101の出力オンの水平ラインのみにパルス信号V Rが印加され、そのラインの各画素のゲートに同パルス信号V Rが加えられる。

109はクリアレジスタ102をスタートさせるパルス信号 $\phi$  V C Sの入力端子、110は各画素をクリアするためのパルス信号V C（パルス信号V Rと逆相）の入力端子であって、パルス信号V Cは、スイッチ用トランジスタ110 Aを介して各水平ラインに加えられる。各トランジスタ110 Aのゲートは、クリアレジスタ102の各出力端子に接続され、該レジスタの出力オンの水平ラインのみにパルス信号V Cが印加され、そのラインの各画素が同時にクリアされる。

111は水平レジスタを動作させるパルス信号 $\phi$  Hの入力端子、112は水平レジスタ103をスタートさせるパルス信号 $\phi$  H Sの入力端子、113は信号出力端子、114は垂直ライン104 Vをリ

とを具える。

〔実施例〕

第1図に本発明の実施例を示す。第1図において、104は光電変換部であって、各々が画素を構成する必要数の光電変換素子をマトリクス状に配置し、さらに各光電変換素子に蓄積した画像情報を取りだすための水平ライン104 H、垂直ライン104 Vを有する。101は読出し水平ライン104 Hを選択する2相駆動の読出しレジスタ、102はクリアする水平ラインを選択する2相駆動のクリアレジスタ、103は読出しレジスタ101で選択された水平ラインにおける各光電変換素子（画素）から各垂直ライン104 Vを介して読出された信号を水平方向に読出す水平レジスタ、105、106は読出しレジスタを動作させるための互いに位相が異なった2つのパルス信号 $\phi$  V 1、 $\phi$  V 2の入力端子、108は読出しレジスタ101をスタートさせるパルス信号 $\phi$  V R Sの入力端子、107は各画素から信号を読出すためのパルス信号V Rの入力端子であって、パルス信号V Rは、スイッチ

セットするパルス信号 $\phi$  R S Tの入力端子である。各垂直ライン104 Vはスイッチ用トランジスタ113 A、増幅器120を介して出力端子113に接続され、各スイッチ用トランジスタ113 Aは水平レジスタ103によって、水平方向に順次駆動される。これによって、読み出して水平ラインの各画素に蓄積された画像情報信号は、各垂直ラインを介して順次出力端子113に出力される。

レジスタ101は第2図のようなDフリップフロップによって構成されるシフトレジスタからなる。

第2図に示すように204はDフリップフロップ、205はアンドゲート、206はレジスタ出力信号である。すなわちこのシフトレジスタは各スタートパルス $\phi$  V R Sに同期して駆動パルス $\phi$  V 1、 $\phi$  V 2を加えることにより、その情報が駆動パルスに同期して順次転送され、その間パルス信号 $\phi$  V 1がオンであって、アンドゲート205に入力するDフリップフロップ204のQ出力がオンのときにそのアンドゲート205から信号が出力

され、スイッチ用トランジスタ107 Aのゲートに  
入力される。

また、クリアレジスタ102も第2図と同様構成で  
あって、第2図中アンドゲート205の一方の入力  
端が入力端子106に接続される点だけが読み出し  
レジスタ101と異なる。

したがって、第3図に示すように、2つの駆動  
パルス $\phi V_1$ および $\phi V_2$ は、1H(水平走査)  
毎にそのブランク期間303中に発生し、しかも互  
いに位相がずれており、パルス $\phi V_2$ によってま  
ずクリアレジスタ102のアンドゲートがオンし、  
ついでパルス $\phi V_1$ によって読み出しレジスタ  
101のアンドゲートがオンする。

第4図はクリアスタートパルス $\phi VCS$ と読み  
出しスタートパルス $\phi VRS$ との関係の一例を示  
す。この例では、ある水平ラインについてみる  
と、クリアスタートパルス $\phi VCS$ によってクリ  
アされた後、aH(aは正の整数)経過時点で読  
み出しスタートパルス $\phi VRS$ によって読み出し  
開始されることになる。したがって、この期間

aHはシャッタースピード(蓄積時間)に該当  
し、例えば、両パルス $\phi VCS$ 、 $\phi VRS$ の出力  
タイミングを制御する制御回路によって任意に調  
節することができる。

第5図はクリアスタートパルス $\phi VCS$ と読み  
出しスタートパルス $\phi VRS$ との関係の他の一例  
を示す。この例では読み出しパルス $\phi VRS$ の直  
後から次の読み出しパルスのaH直前まで1H毎  
に連続してクリアスタートパルス $\phi VCS$ が発生  
する。これによって、各画素を構成する光電変換  
素子が非破壊型、および破壊型のいずれの構成で  
あっても、読み出し終了直後から、1H毎にクリ  
アするので、ブルーミング、スミア等の画像への  
悪影響を極めて効果的に抑えることができる。

第4図、第5図においては蓄積時間は1フィー  
ルド以下を示しているが、これは1フィールド以  
上でもかまわない。この場合読み出しスタートパ  
ルス $\phi VRS$ は1フィールド毎、クリアスタート  
パルス $\phi VCS$ は任意の間隔で外部の制御回路に  
より発生させればよい。

第1図の実施例における回路の変更例を第6図  
に示す。すなわち、第3図に示したように読み  
出しおよびクリア動作は時分割して行うようにして  
いるので、その各々のスイッチ用トランジスタ  
107 Aおよび110 Aを介して各水平ラインに供給  
するVRおよびVCパルスの入力端子608を共用  
にすることができる。

他の構成は第1図の実施例と同じである。

以上のように、各画素の読み出しライン、クリ  
アラインを選択するレジスタを独立させることに  
より、蓄積時間を水平走査時間単位で任意に設定  
でき、電氣的シャッタ機能の実現が可能となり、  
これにより撮影機能の拡大が可能となる。すなわ  
ち蓄積時間を長くすれば低照度に対応し、短くす  
れば時間分解能が向上し、動解像度が改善され  
る。また各々のレジスタ101、102を互いに移動  
が異なる2相駆動パルス $\phi V_1$ 、 $\phi V_2$ によ  
って駆動し、さらに読み出し、クリアパルスVR、  
VCを駆動パルス $\phi V_1$ 、 $\phi V_2$ と同期させるこ  
とにより、両者の(読み出し、クリアのタイミン

グ)のオーバーラップを防止できる。

また第5図に示したように蓄積時間が1フィー  
ルド以下の場合、蓄積時間以外で1H毎にクリア  
することによりブルーミング、スミアを抑圧可能  
であり、また残像の低減が可能となる。

#### [発明の効果]

以上説明したように本発明によれば、優れた画  
質の撮像信号が得られ、読み出しおよびクリアの  
タイミングがオーバーラップすることがなく、し  
かも任意の蓄積時間が得られる撮像装置を提供す  
ることができる。

#### 4. 図面の簡単な説明

第1図は本発明一実施例の構成図、

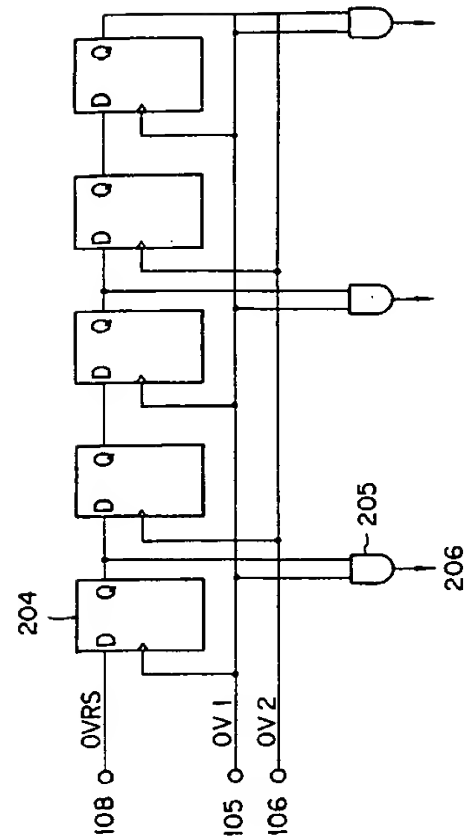
第2図は読み出しレジスタ、クリアレジスタ機  
能の構成図、

第3図は読み出しクリアパルスのタイミングチ  
ャートを示す図、

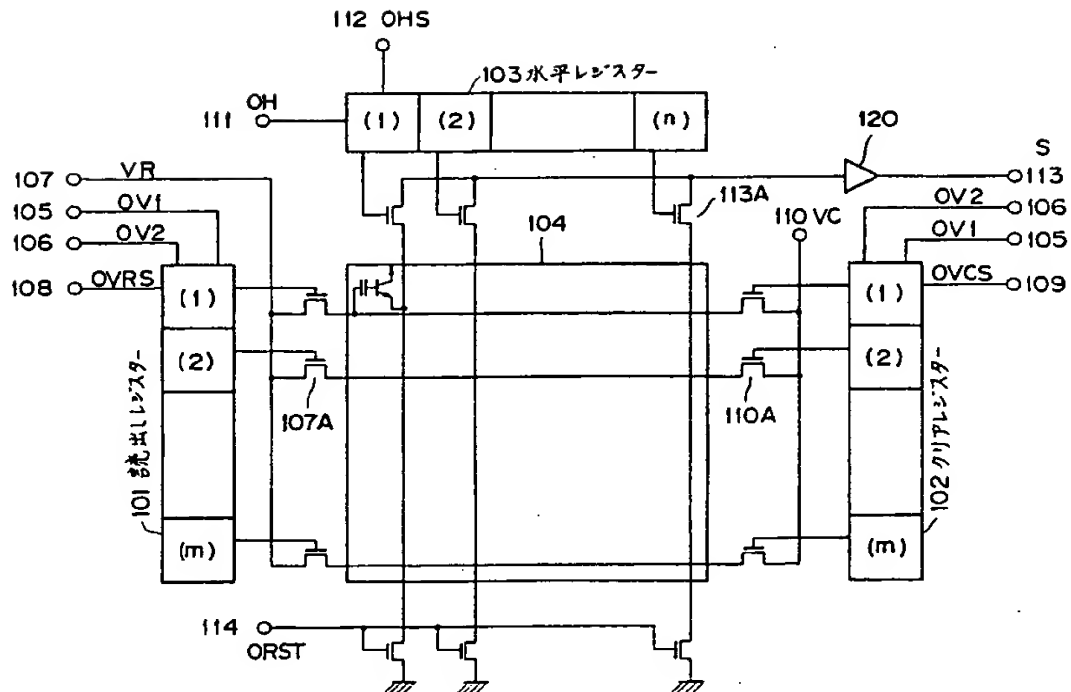
第4図および第5図は読み出しスタートパ  
ルス、クリアスタートパルスのタイミングチャート  
を示す図、

第6図は読み出しクリアパルス入力回路変更例を示す図である。

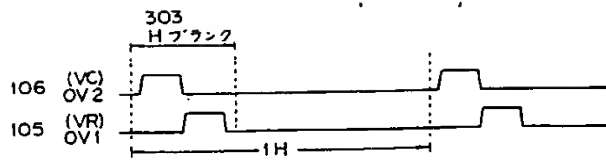
- 101 ... 読出しレジスタ、
- 102 ... クリアレジスタ、
- 103 ... 水平レジスタ、
- 104 ... 光電変換部。



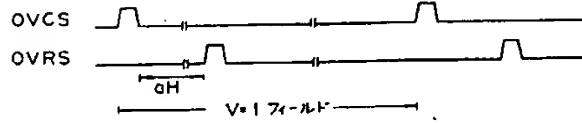
第2図



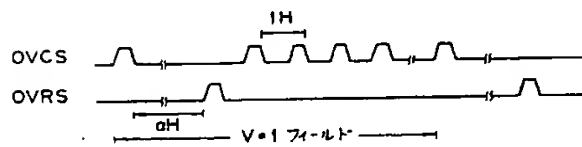
第1図



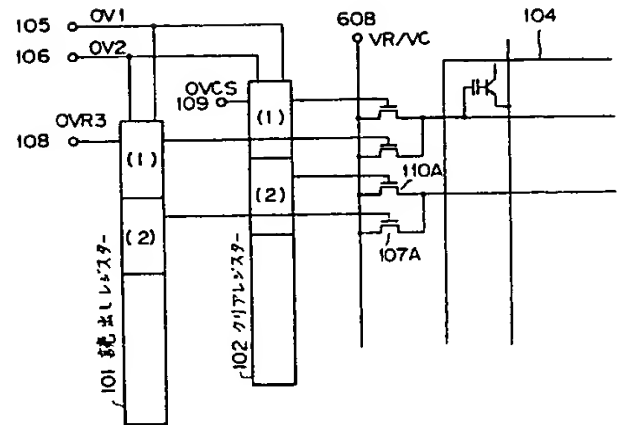
第 3 図



第 4 図



第 5 図



第 6 図